

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re: Oh et al.

Application Serial No.: To Be Assigned

Filed: Concurrently Herewith

For: **METHODS OF FORMING MIM TYPE CAPACITOR STRUCTURES USING  
LOW TEMPERATURE PLASMA PROCESSING**

April 22, 2004

Mail Stop PATENT APPLICATION

Commissioner for Patents

P.O. Box 1450

Alexandria, VA 22313-1450

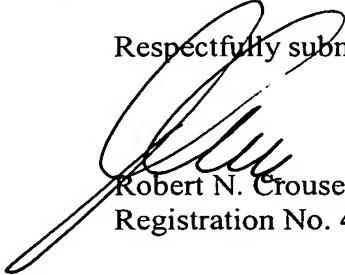
**SUBMITTAL OF PRIORITY DOCUMENT**

Sir:

To complete the requirements of 35 USC 119, enclosed is a certified copy of the  
following Korean priority application:

10-2003-0029368 filed May 9, 2003.

Respectfully submitted,

  
Robert N. Crouse  
Registration No. 44,635


Myers Bigel Sibley & Sajovec  
PO Box 37428  
Raleigh NC 27627  
Tel (919) 854-1400  
Fax (919) 854-1401  
Customer No.: 20792

**CERTIFICATE OF EXPRESS MAILING**

Express Mail Label No. EV 381448143 US

Date of Deposit: April 22, 2004

I hereby certify that this correspondence is being deposited with the United States Postal Service "Express Mail Post Office to Addressee" service under 37 CFR § 1.10 on the date indicated above and is addressed to: Mail Stop PATENT APPLICATION, Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450

  
Audra Wooten



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원 번호 : 10-2003-0029368  
Application Number

출원 년 월 일 : 2003년 05월 09일  
Date of Application MAY 09, 2003

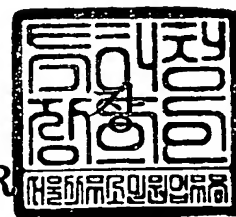
출원인 : 삼성전자주식회사  
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003 년 11 월 14 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0007
【제출일자】	2003.05.09
【국제특허분류】	H01L
【발명의 명칭】	반도체 메모리 소자의 커패시터 제조 방법
【발명의 영문명칭】	Methods for manufacturing capacitor of semiconductor memory device
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	이영필
【대리인코드】	9-1998-000334-6
【포괄위임등록번호】	2003-003435-0
【대리인】	
【성명】	정상빈
【대리인코드】	9-1998-000541-1
【포괄위임등록번호】	2003-003437-4
【발명자】	
【성명의 국문표기】	오세훈
【성명의 영문표기】	OH, Se Hoon
【주민등록번호】	750503-1476211
【우편번호】	336-862
【주소】	충청남도 아산시 음봉면 동천1리 176번지
【국적】	KR
【발명자】	
【성명의 국문표기】	정정희
【성명의 영문표기】	CHUNG, Jung Hee
【주민등록번호】	680609-2010311

【우편번호】	130-012
【주소】	서울특별시 동대문구 청량리2동 57-5
【국적】	KR
【발명자】	
【성명의 국문표기】	최재형
【성명의 영문표기】	CHOI, Jae Hyoung
【주민등록번호】	711001-1231755
【우편번호】	423-704
【주소】	경기도 광명시 광명4동 한진아파트 108동 2404호
【국적】	KR
【발명자】	
【성명의 국문표기】	최정식
【성명의 영문표기】	CHOI, Jeong Sik
【주민등록번호】	720228-1036510
【우편번호】	120-191
【주소】	서울특별시 서대문구 북아현1동 삼익아파트 A동 412호
【국적】	KR
【발명자】	
【성명의 국문표기】	김성태
【성명의 영문표기】	KIM, Sung Tae
【주민등록번호】	601227-1002238
【우편번호】	137-071
【주소】	서울특별시 서초구 서초1동 현대아파트 20동 805호
【국적】	KR
【발명자】	
【성명의 국문표기】	유차영
【성명의 영문표기】	YOO, Cha Young
【주민등록번호】	641217-1254226
【우편번호】	441-460
【주소】	경기도 수원시 권선구 금곡동 530번지 엘지빌리지 203동 1302호
【국적】	KR
【심사청구】	청구

【취지】

특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인

이영필 (인) 대리인

정상빈 (인)

【수수료】

【기본출원료】 20 면 29,000 원

【가산출원료】 5 면 5,000 원

【우선권주장료】 0 건 0 원

【심사청구료】 20 항 749,000 원

【합계】 783,000 원

【첨부서류】

1. 요약서·명세서(도면)\_1통

## 【요약서】

### 【요약】

HfO<sub>2</sub> 유전막을 채용하는 고집적 반도체 메모리 소자의 커패시터 제조 방법에 관하여 개시한다. 본 발명에서는 HfO<sub>2</sub>막을 형성한 후 저온에서 플라즈마 처리하여 HfO<sub>2</sub>막을 결정화시킴으로써 안정적인 누설 전류 특성을 얻는다. 본 발명에서는 하부 전극 위에 형성된 비정질 HfO<sub>2</sub>막을 250 ~ 450℃의 온도에서 질소 함유 가스의 플라즈마 분위기에 노출시켜 결정화된 HfO<sub>2</sub> 유전막을 형성한다. 결정화된 HfO<sub>2</sub>막 위에 상부 전극을 형성한다. 저온에서 HfO<sub>2</sub>막을 결정화시키므로 하부 구조물에 고온 공정에 따른 악영향을 미치지 않고 누설 전류 특성을 향상시킬 수 있다.

### 【대표도】

도 1h

### 【색인어】

MIM 커패시터, HfO<sub>2</sub> 유전막, 저온, 플라즈마, 결정화

【명세서】

【발명의 명칭】

반도체 메모리 소자의 커패시터 제조 방법{Methods for manufacturing capacitor of semiconductor memory device}

【도면의 간단한 설명】

도 1a 내지 도 1i는 본 발명의 바람직한 실시예에 따른 반도체 메모리 소자의 커패시터 제조 방법을 설명하기 위한 단면도들이다.

도 2는 본 발명에 따른 방법에 의하여 플라즈마 처리된  $\text{HfO}_2$ 막의 결정화 여부를 확인하기 위하여 분석한 XRD (X-Ray Diffractometer) 데이터를 나타낸 그래프이다.

도 3a 및 도 3b는 각각 본 발명에 따른 방법에 의하여 형성된 커패시터의 누설전류 특성을 평가한 결과를 나타낸 그래프들이다.

도 3c는 종래 기술에 따른 방법에 의하여 형성된 커패시터의 누설 전류 특성을 평가한 결과를 나타낸 그래프이다.

<도면의 주요 부분에 대한 부호의 설명>

10: 반도체 기판, 14: 매몰콘택 플러그, 24: 버퍼 매몰콘택 플러그, 40: 도전층, 40a: 하부 전극, 50:  $\text{HfO}_2$ 막, 50a:  $\text{HfO}_2$  유전막, 52: 플라즈마, 60: 상부 전극.

**【발명의 상세한 설명】****【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

- <7> 본 발명은 집적 회로의 커패시터 제조 방법에 관한 것으로, 특히 고집적화된 반도체 메모리 소자의 미세한 셀 영역에 형성되는 MIM (metal-insulator-metal) 커패시터의 전기적 특성을 향상시키기 위한 반도체 메모리 소자의 커패시터 제조 방법에 관한 것이다.
- <8> 반도체 메모리 소자가 초고집적화되어 감에 따라 디자인룰(design rule)이 점차 감소되어 반도체 메모리 소자에서 단위 메모리 셀이 차지하는 면적이 줄어들고 있다. DRAM(dynamic random access memory) 소자에 있어서 메모리 셀에 사용되는 커패시터는 그 차지하는 면적이 줄어들고 있음에도 불구하고 일반적으로 허용될 수 있는 데이터 입출력 특성 및 재생 특성을 제공하기에 충분한 정도의 최소 커패시턴스를 제공할 것이 요구된다. 이와 같은 요구에 의하여 공정 마진 및 공간의 감소는 메모리 셀 커패시터의 디자인에 큰 영향을 미쳐왔다. 줄어든 공간에 최소 커패시턴스를 유지할 수 있는 커패시터를 제조하기 위하여 삼차원 구조를 가지면서 높은 높이를 가지는 여러가지 구조의 커패시터 하부 전극 구조가 제안되었다. 그 중에서 실린더형 하부 전극이 커패시터의 유효 면적을 증가시키는 데 유리하기 때문에 널리 사용되고 있으며, 특히 COB(capacitor over bitline) 구조를 갖는 실린더형 하부 전극 구조가 주목을 끌고 있다.
- <9> 한편, 커패시터의 단위 면적당 커패시턴스를 증가시키기 위하여 여러가지 기술들이 개발되었다. 종래에는 SiO<sub>2</sub> 유전막을 사용하는 MIS(metal-insulator-semiconductor) 커패시터 구조에서 유전막의 두께를 감소시키거나 입체화된 구조에 의해 유효 면적을 증가시키는 방법으로



최소 커패시턴스를 확보할 수 있었다. 그러나, 소자의 집적도가 증가함에 따라  $\text{SiO}_2$  유전막을 사용하는 MIS 구조는 그 공정에서의 한계에 도달하여 새로운 기술이 요구되고 있다. MIS 커패시터의 한계를 극복하기 위하여 일함수 (work function)가 큰 TiN이나 Pt 등과 같은 금속을 전극으로 사용하는 MIM 커패시터가 제안되었다. MIM 커패시터에서는 유전막으로서 산소 친화력이 큰 금속으로부터 얻어진 금속 산화물을 주로 사용한다. MIM 커패시터의 유전막으로서 주로 사용되는 금속 산화물의 예를 들면,  $\text{Ta}_2\text{O}_5$ ,  $\text{Y}_2\text{O}_3$ ,  $\text{HfO}_2$ ,  $\text{Nb}_2\text{O}_5$ ,  $\text{TiO}_2$ ,  $\text{BaO}$ ,  $\text{SrO}$ , BST 등이 있다. 그 중, 유전율이 20 ~ 25 정도로 비교적 높고 밴드갭 (band gap)이 비교적 높은  $\text{HfO}_2$ 를 유전막으로 사용하기 위하여 다양한 연구가 진행중에 있다.  $\text{HfO}_2$ 막은 다른 고유전막에 비하여 높은 신뢰도 및 공정 안정성을 확보할 수 있는 점에서 유리하므로 차세대 DRAM 커패시터의 유전막 재료로서 각광받고 있다.

<10> 종래 기술에 따라  $\text{HfO}_2$  유전막을 이용하여 커패시터를 형성하는 방법에서는 하부 전극 위에  $\text{HfO}_2$  유전막을 형성한 후, 상기  $\text{HfO}_2$  유전막 내에서의 산소 결핍 또는 결함 등을 큐어링 (curing)하기 위하여  $550^\circ\text{C}$  이상의 비교적 고온에서 열처리를 행한다. 그러나, 고온의 열처리 공정시 하부 전극이 쉽게 산화되어 커패시턴스가 감소될 뿐 만 아니라, 열처리시의 구조적 스트레스로 인하여 누설 전류가 증가하고, 나아가 콘택 저항의 증가 등과 같은 문제가 유발될 수 있다. 특히, 고집적 반도체 메모리 소자에서 디자인룰이 감소됨에 따라 커패시터의 유전막을 고온으로 열처리하면 트랜지스터를 포함한 하부 구조물들에 심각한 악영향을 미치게 된다.

<11> 또한, 종래 기술에 따른 방법에 의하여 MIM 커패시터를 제조하는 경우, 상부 전극을 형성하기 위하여  $\text{TiCl}_4$  등과 같이 Cl 원자를 함유하는 원료 가스를 사용하면  $\text{HfO}_2$  유전막을 사용한 커패시터에서 누설 전류 특성이 급격하게 열화되는 경향을 보인다. 따라서,  $\text{HfO}_2$  유전막을 채용하는 MIM 커패시터에서 누설 전류 특성을 향상시키기 위한 방법을 모색할 필요가 있다.

## 【발명이 이루고자 하는 기술적 과제】

<12> 본 발명의 목적은  $\text{HfO}_2$  유전막을 채용하는 고집적 반도체 메모리 소자의 커패시터에 있어서 하부 구조물에 악영향을 미치지 않도록 저온 공정이 가능하고, 상부 전극 형성시 사용되는 원료에 의한 악영향을 감소시킬 수 있으며, 유전막의 누설 전류 특성을 안정적으로 유지하면서 커패시턴스를 극대화할 수 있는 반도체 메모리 소자의 커패시터 제조 방법을 제공하는 것이다.

## 【발명의 구성 및 작용】

<13> 상기 목적을 달성하기 위하여, 본 발명의 제1 양태에 따른 반도체 메모리 소자의 커패시터 제조 방법에서는 반도체 기판상에 하부 전극을 형성한다. 상기 하부 전극 위에  $\text{HfO}_2$  유전막을 형성한다.  $250 \sim 450^\circ\text{C}$ 의 온도하에서 상기  $\text{HfO}_2$  유전막을 플라즈마 처리한다. 상기  $\text{HfO}_2$  유전막 위에 상부 전극을 형성한다.

<14> 상기 하부 전극 및 상부 전극은 금속 질화물 또는 귀금속으로 이루어진다. 바람직하게는, 상기 하부 전극 및 상부 전극은  $\text{TiN}$ ,  $\text{TaN}$ ,  $\text{WN}$ ,  $\text{Ru}$ ,  $\text{Ir}$  또는  $\text{Pt}$ 로 이루어진다.

<15> 상기  $\text{HfO}_2$  유전막을 플라즈마 처리하기 위하여 질소 함유 가스의 플라즈마를 이용한다. 상기 질소 함유 가스는  $\text{NH}_3$ ,  $\text{N}_2\text{O}$  및  $\text{N}_2$  가스로 이루어지는 군에서 선택되는 어느 하나를 포함할 수 있다.

<16> 상기 다른 목적을 달성하기 위하여, 본 발명의 제2 양태에 따른 반도체 메모리 소자의 커패시터 제조 방법에서는 반도체 기판상에 하부 전극을 형성한다. 상기 하부 전극 위에 비정질  $\text{HfO}_2$ 막을 형성한다. 상기 비정질  $\text{HfO}_2$ 막을 플라즈마 처리하여 결정화된  $\text{HfO}_2$ 막을 형성한다. 상기 결정화된  $\text{HfO}_2$ 막 위에 상부 전극을 형성한다.

- <17>       상기 결정화된  $\text{HfO}_2$ 막을 형성하기 위하여 상기 비정질  $\text{HfO}_2$ 막을 질소 함유 가스의 플라즈마 분위기에 노출시킨다. 여기서, 상기 플라즈마 분위기는  $250 \sim 450^\circ\text{C}$ 의 온도로 유지된다.
- <18>       본 발명에 의하면,  $\text{HfO}_2$  유전막을 채용하는 고집적 반도체 메모리 소자의 커패시터에 있어서  $\text{HfO}_2$ 막을 형성한 후 저온에서 플라즈마 처리하여  $\text{HfO}_2$ 막을 결정화시킴으로써 안정적인 누설 전류 특성을 얻을 수 있고 커패시턴스를 극대화할 수 있다. 또한, 고온 열처리에 따른 하부 구조물에서의 악영향을 방지할 수 있고, 상부 전극 형성시 사용되는 원료에 의한 악영향을 감소시킬 수 있다.
- <19>       다음에, 본 발명의 바람직한 실시예들에 대하여 첨부 도면을 참조하여 상세히 설명한다.
- <20>       다음에 예시하는 실시예들은 여러가지 다른 형태로 변형될 수 있으며, 본 발명의 범위가 다음에 상술하는 실시예에 한정되는 것은 아니다. 본 발명의 실시예는 당 업계에서 평균적인 지식을 가진 자에게 본 발명을 보다 완전하게 설명하기 위하여 제공되어지는 것이다. 첨부 도면에서 막 또는 영역들의 크기 또는 두께는 명세서의 명확성을 위하여 과장되어진 것이다. 또한, 어떤 막이 다른 막 또는 기판의 "위"에 있다라고 기재된 경우, 상기 어떤 막이 상기 다른 막의 위에 직접 존재할 수도 있고, 그 사이에 제3의 다른 막이 개재될 수도 있다.
- <21>       도 1a 내지 도 1i는 본 발명의 바람직한 실시예에 따른 반도체 메모리 소자의 커패시터 제조 방법을 설명하기 위하여 공정 순서에 따라 도시한 단면도들이다.
- <22>       도 1a를 참조하면, 반도체 기판(10)상에 제1 층간절연막(12)을 관통하여 상기 반도체 기판(10)의 활성 영역에 접하는 매몰콘택 플러그(14)를 형성한다. 그 후, 실리콘 질화막(20) 및

제2 층간절연막(22)을 형성하고 이들을 관통하여 상기 매물 콘택 플러그(14)에 접하는 버퍼 매물콘택 플러그(24)를 형성한다.

<23> 도 1b를 참조하면, 상기 버퍼 매물콘택 플러그(24) 및 제2 층간절연막(22) 위에 식각 정지층으로 사용될 HDP(high-density plasma) 산화막(32) 및 실리콘 질화막(34)을 차례로 형성하고, 그 위에 후속의 습식 식각 공정시 하부막들을 습식 식각액으로부터 보호하기 위한 보호막(36)을 형성한다. 상기 보호막(36)은 예를 들면 탄탈륨 산화막으로 형성한다. 그 후, 상기 보호막(36) 위에 몰드(mold) 형성용 절연막(38)을 형성한다.

<24> 도 1c를 참조하면, 상기 버퍼 매물콘택 플러그(24)의 상면을 노출시키도록 상기 절연막(38), 보호막(36), 실리콘 질화막(34) 및 HDP 산화막(32)을 차례로 패터닝한다. 그 결과 얻어진 HDP 산화막 패턴(32a), 실리콘 질화막 패턴(34a), 보호막 패턴(36a) 및 절연막 패턴(38)에 의하여 하부 전극 형성을 위한 몰드층이 구성된다.

<25> 도 1d를 참조하면, 상기 버퍼 매물콘택 플러그(24)의 노출된 상면 및 상기 몰드층을 덮도록 도전 물질을 증착하여 하부 전극 형성용 도전층(40)을 형성한다. 상기 도전층(40)은 예를 들면 금속 질화물 또는 귀금속으로 이루어질 수 있다. 예를 들면, 상기 도전층(40)은 TiN, TaN, WN, Ru, Ir 또는 Pt로 이루어질 수 있다. 상기 도전층(40)은 ALD (atomic layer deposition), CVD (chemical vapor deposition), 또는 MOCVD (metal-organic CVD) 방법으로 형성될 수 있다.

<26> 그 후, 상기 도전층(40)을 희생 절연막(42)으로 완전히 덮는다. 상기 희생 절연막(42)은 예를 들면 FOX(flowable oxide)로 형성된다.

- <27> 도 1e를 참조하면, 건식 식각 방법 또는 CMP(chemical mechanical polishing) 방법에 의한 평탄화 공정에 의하여 상기 절연막 패턴(38a)이 노출될 때까지 상기 희생 절연막(42) 및 도전층(40)의 일부를 제거하여 상기 도전층(40)으로부터 개개의 하부 전극(40a)을 분리시킨다.
- <28> 도 1f를 참조하면, 시판되는 LAL 식각액(Hashimoto Chemical Industry Co., Ltd.)을 사용하는 습식 식각 방법에 의하여 상기 절연막 패턴(38a) 및 희생 절연막(42)을 제거하여 OCS(one cylinder stack) 구조를 가지는 하부 전극(40a)을 노출시킨다.
- <29> 도 1g를 참조하면, 상기 하부 전극(40a) 위에 비정질  $\text{HfO}_2$ 막(50)을 형성한다. 상기  $\text{HfO}_2$ 막(50)은 ALD, CVD, PVD 또는 MOCVD 방법으로 형성될 수 있다.
- <30> 상기  $\text{HfO}_2$ 막(50)을 CVD 방법으로 형성하는 경우, 예를 들면  $\text{HfCl}_4$ ,  $\text{Hf}(\text{OtBu})_4$ ,  $\text{Hf}(\text{NEtMe})_4$ ,  $\text{Hf}(\text{MMP})_4$ , 또는  $\text{Hf}(\text{NMe}_2)_4$ 와 같은 Hf 소스 물질과,  $\text{O}_2$  가스를 사용하여 약 400 ~ 500°C의 온도 및 약 1 ~ 5 Torr의 압력 조건 하에서 증착 공정을 행한다.
- <31> 상기  $\text{HfO}_2$ 막(50)을 ALD 방법으로 형성하는 경우, 하프늄(Hf) 소스로서  $\text{HfCl}_4$ ,  $\text{Hf}(\text{NO}_3)_4$ , 또는  $\text{Hf}(\text{OtBu})_4$ ,  $\text{Hf}(\text{OtBu})_2(\text{DMAE})_2$ ,  $\text{Hf}(\text{OtBu})_2(\text{MMP})_2$ ,  $\text{Hf}(\text{OiPr})_2(\text{THD})_2$ ,  $\text{Hf}(\text{OiPr})_3(\text{THD})$ ,  $\text{Hf}(\text{NEtMe})_4$ ,  $\text{Hf}(\text{MMP})_4$ , 또는  $\text{Hf}(\text{NMe}_2)_4$ ,  $\text{Hf}(\text{NEt}_2)_4$ ,  $\text{Hf}[\text{N}(\text{Me}_2)(\text{MEt})]_4$  등과 같은 금속 유기 전구체 (metal organic precursor)를 사용한다. 여기서, DMAE는 디메틸아미노에톡사이드 (dimethylaminoethoxide:  $\text{OCH}_2\text{CH}_2\text{NMe}_2$ )이고, MMP는 메톡시메틸-2-프로폭사이드 (methoxymethyl-2-propoxide:  $\text{OCMe}_2\text{CH}_2\text{OMe}$ )이고, THD는 테트라메틸헵탄디오네이트 (tetramethylheptanedionate:  $\text{Me}_3\text{CCoCHCOCMe}_3$ )이다. 그리고, 산소(O) 소스로서  $\text{H}_2\text{O}$ ,  $\text{O}_3$  또는  $\text{O}_2$  플라즈마를 사용하여 약 250 ~ 400°C의 온도 및 약 1 ~ 5 Torr의 압력 조건 하에서 증착 공정을 행하고, 원하는 두께의  $\text{HfO}_2$ 막이 얻어질 때까지 상기 증착 공정 및 퍼징(purging) 공정을 반복한다. 상기 HfO

$\text{HfO}_2$ 막(50)을 ALD 방법으로 형성하는 경우, 저온 증착이 가능하며, 우수한 스텝 커버리지(step coverage)를 얻을 수 있고, 두께 제어가 용이하다.

<32> 도 1h를 참조하면, 상기  $\text{HfO}_2$ 막(50)을 플라즈마(52) 처리에 의하여 결정화시켜  $\text{HfO}_2$  유전막(50a)을 형성한다. 상기 플라즈마(52) 처리는 약 250 ~ 450℃의 비교적 저온에서 행하는 것이 바람직하다. 특히 바람직하게는, 상기 플라즈마 처리는 약 350 ~ 450℃의 온도에서 행한다.

<33> 상기  $\text{HfO}_2$ 막(50)의 결정화를 위한 플라즈마(52) 처리는 질소 함유 가스의 플라즈마 분위기에서 행한다. 여기서, 상기 질소 함유 가스는  $\text{NH}_3$ ,  $\text{N}_2\text{O}$  및  $\text{N}_2$  가스로 이루어지는 군에서 선택되는 어느 하나를 포함하는 것이 바람직하다.

<34> 상기  $\text{HfO}_2$  유전막(50a)을 저온 플라즈마(52) 처리에 의하여 결정화시킴으로써 유전막 형성 공정의 저온화를 실현할 수 있으며, 플라즈마(52) 처리에 의하여 누설 전류를 상당 수준 낮출 수 있어 커패시터의 전기적 특성을 향상시킬 수 있다.

<35> 도 1i를 참조하면, 상기  $\text{HfO}_2$  유전막(50a) 위에 상부 전극(60)을 형성한다. 상기 상부 전극(60)은 금속 질화물 또는 귀금속으로 이루어진다. 예를 들면, 상기 상부 전극(60)은 TiN, TaN, WN, Ru, Ir 또는 Pt로 이루어질 수 있다. 상기 상부 전극(60)은 ALD 방법, CVD 방법, 또는 MOCVD 방법으로 형성될 수 있다. 이 때, 상기  $\text{HfO}_2$ 막(50)을 플라즈마(52) 처리함으로써 누설 전류 특성이 우수한  $\text{HfO}_2$  유전막(50a)이 얻어졌으므로, 상부 전극(60) 형성 공정시 Cl 함유 물질을 소스로 사용하는 경우에도 커패시터의 누설 전류 특성이 열화되지 않는다. 따라서, 상기 상부 전극(60)을 형성하기 위하여 Cl과 같은 할로젠족 원소를 함유하는 금속 소스 또는 유기금속화합물 소스를 제한 없이 사용할 수 있다.

- <36> 도 2는 본 발명에 따른 방법에 의하여  $\text{HfO}_2$ 막을 플라즈마 처리하였을 때 플라즈마 처리된  $\text{HfO}_2$ 막의 결정화 여부를 확인하기 위하여 분석한 XRD (X-Ray Diffractometer) 데이터를 나타낸 그래프이다.
- <37> 도 2의 평가를 위하여, TiN막으로 이루어지는 하부 전극을 형성하고, 그 위에 60Å 두께의  $\text{HfO}_2$ 막을 형성한 후, 상기  $\text{HfO}_2$ 막을 390℃의 온도에서  $\text{NH}_3$  플라즈마 처리하여 XRD 분석을 하였다. 도 2에는 대조예로서 TiN 하부 전극 위에  $\text{HfO}_2$ 막을 형성한 직후, 및 상기  $\text{HfO}_2$ 막을 650℃의 온도에서 진공 열처리한 후, 각각 얻어진 XRD 분석 데이터를 함께 나타내었다.
- <38> 도 2의 결과로부터, 본 발명의 방법에 따라  $\text{HfO}_2$ 막을 390℃의 비교적 저온에서 플라즈마 처리하였을 때 고온의 열처리시와 마찬가지로  $\text{HfO}_2$ 막이 성공적으로 결정화된 것을 확인할 수 있다.
- <39> 도 3a 및 도 3b는 각각 본 발명의 방법에 따라 TiN막으로 이루어지는 하부 전극 위에  $\text{HfO}_2$ 막을 형성한 후, 이  $\text{HfO}_2$ 막을 저온에서 플라즈마 처리한 경우의 누설전류 특성을 평가한 결과를 나타낸 그래프들이다.
- <40> 보다 구체적으로 설명하면, 도 3a는 TiN 하부 전극 위에 60Å 두께의  $\text{HfO}_2$ 막을 형성한 후, 이를 390℃의 온도에서  $\text{NH}_3$  플라즈마 처리하여 결정화시키고, 그 위에 TiN 상부 전극을 형성하여 얻어진 커패시터에 대한 누설 전류 특성 평가 결과이고, 도 3b는  $\text{HfO}_2$ 막을  $\text{N}_2\text{O}$  플라즈마 처리하여 결정화시킨 것을 제외하고 도 3a의 경우와 동일한 조건으로 형성된 커패시터에 대한 누설 전류 특성 평가 결과이다.

- <41> 대조용으로서,  $\text{HfO}_2$ 막을 형성한 후 아무런 처리도 하지 않은 것을 제외하고 도 3a의 경우와 동일한 조건으로 형성된 커패시터에 대하여 누설 전류 특성을 평가하여 그 결과를 도 3c에 나타내었다.
- <42> 도 3a, 도 3b 및 도 3c에서, "T", "C" 및 "B"는 각각 시험 대상의 웨이퍼상에서 누설 전류를 측정된 위치를 나타내는 것으로, "T"는 웨이퍼상의 상부(top), "C"는 웨이퍼상의 센터(center), 그리고 "B"는 웨이퍼상의 저부(bottom)를 의미한다. 그리고, 도 3a 및 도 3b에서, "Toxeq"는 등가산화막 두께를 나타낸다.
- <43> 도 3a, 도 3b 및 도 3c의 결과로부터 알 수 있는 바와 같이, 본 발명에 따른 방법으로  $\text{HfO}_2$ 막을 질소 함유 가스의 플라즈마에 노출시켜 플라즈마 처리하였을 때 누설 전류가 낮아져서 우수한 전기적 특성을 나타낸다.

#### 【발명의 효과】

- <44> 본 발명에 따른 반도체 메모리 소자의 커패시터 제조 방법에서는 MIM 커패시터의 유전막을 형성하기 위하여  $\text{HfO}_2$ 막을 형성한 후,  $\text{HfO}_2$ 막을 저온에서 플라즈마 처리하여 결정화시킨다. 본 발명에서는 고집적 반도체 메모리소자의 커패시터를 제조하는 데 있어서 하부 구조물에 악영향을 미치지 않도록 공정의 저온화를 구현할 수 있으며, 저온 플라즈마 처리에 의하여  $\text{HfO}_2$  유전막을 채용하는 커패시터의 누설 전류를 낮춤으로써 우수한 전기적 특성을 얻을 수 있다. 또한, 안정적인 전기적 특성을 제공함으로써 상부 전극 형성시 Cl 원소를 포함하는 소스를 사용하는 경우에도 소스에 의한 유전 특성 열화 가능성을 배제할 수 있다. 따라서, 본 발명에 따르면  $\text{HfO}_2$  유전막의 누설 전류 특성을 안정적으로 유지함으로써 커패시턴스를 극대화하여 커패시터의 전기적 특성을 향상시킬 수 있다.



<45>        이상, 본 발명을 바람직한 실시예를 들어 상세하게 설명하였으나, 본 발명은 상기 실시예에 한정되지 않고, 본 발명의 기술적 사상의 범위 내에서 당 분야에서 통상의 지식을 가진 자에 의하여 여러가지 변형이 가능하다.

**【특허청구범위】****【청구항 1】**

반도체 기판상에 하부 전극을 형성하는 단계와,  
상기 하부 전극 위에  $\text{HfO}_2$  유전막을 형성하는 단계와,  
250 ~ 450℃의 온도하에서 상기  $\text{HfO}_2$  유전막을 플라즈마 처리하는 단계와,  
상기  $\text{HfO}_2$  유전막 위에 상부 전극을 형성하는 단계를 포함하는 것을 특징으로 하는 반도체 메모리 소자의 커패시터 제조 방법.

**【청구항 2】**

제1항에 있어서,  
상기 하부 전극은 금속 질화물 또는 귀금속으로 이루어지는 것을 특징으로 하는 반도체 메모리 소자의 커패시터 제조 방법.

**【청구항 3】**

제2항에 있어서,  
상기 하부 전극은 TiN, TaN, WN, Ru, Ir 또는 Pt로 이루어지는 것을 특징으로 하는 반도체 메모리 소자의 커패시터 제조 방법.

**【청구항 4】**

제1항에 있어서,  
상기  $\text{HfO}_2$  유전막은 ALD (atomic layer deposition), CVD (chemical vapor deposition), PVD(physical vapor deposition) 또는 MOCVD(metal-organic CVD) 방법으로 형성되는 것을 특징으로 하는 반도체 메모리 소자의 커패시터 제조 방법.

**【청구항 5】**

제1항에 있어서,

상기  $\text{HfO}_2$  유전막을 플라즈마 처리하기 위하여 질소 함유 가스의 플라즈마를 이용하는 것을 특징으로 하는 반도체 메모리 소자의 커패시터 제조 방법.

**【청구항 6】**

제5항에 있어서,

상기 질소 함유 가스는  $\text{NH}_3$ ,  $\text{N}_2\text{O}$  및  $\text{N}_2$  가스로 이루어지는 군에서 선택되는 어느 하나를 포함하는 것을 특징으로 하는 반도체 메모리 소자의 커패시터 제조 방법.

**【청구항 7】**

제1항에 있어서,

상기 상부 전극은 금속 질화물 또는 귀금속으로 이루어지는 것을 특징으로 하는 반도체 메모리 소자의 커패시터 제조 방법.

**【청구항 8】**

제7항에 있어서,

상기 상부 전극은  $\text{TiN}$ ,  $\text{TaN}$ ,  $\text{WN}$ ,  $\text{Ru}$ ,  $\text{Ir}$  또는  $\text{Pt}$ 로 이루어지는 것을 특징으로 하는 반도체 메모리 소자의 커패시터 제조 방법.

**【청구항 9】**

제1항에 있어서,

상기 상부 전극은 할로젠족 원소를 함유하는 금속 소스, 또는 유기금속화합물 소스를 사용하여 형성되는 것을 특징으로 하는 반도체 메모리 소자의 커패시터 제조 방법.

**【청구항 10】**

제1항에 있어서,

상기 하부 전극은 OCS(one cylinder stack) 구조를 가지는 것을 특징으로 하는 반도체 메모리 소자의 커패시터 제조 방법.

**【청구항 11】**

반도체 기판상에 하부 전극을 형성하는 단계와,

상기 하부 전극 위에 비정질  $\text{HfO}_2$ 막을 형성하는 단계와,

상기 비정질  $\text{HfO}_2$ 막을 플라즈마 처리하여 결정화된  $\text{HfO}_2$ 막을 형성하는 단계와,

상기 결정화된  $\text{HfO}_2$ 막 위에 상부 전극을 형성하는 단계를 포함하는 것을 특징으로 하는 반도체 메모리 소자의 커패시터 제조 방법.

**【청구항 12】**

제1항에 있어서,

상기 하부 전극은 금속 질화물 또는 귀금속으로 이루어지는 것을 특징으로 하는 반도체 메모리 소자의 커패시터 제조 방법.

**【청구항 13】**

제12항에 있어서,

상기 하부 전극은 TiN, TaN, WN, Ru, Ir 또는 Pt로 이루어지는 것을 특징으로 하는 반도체 메모리 소자의 커패시터 제조 방법.

**【청구항 14】**

제11항에 있어서,

상기  $\text{HfO}_2$  유전막은 ALD (atomic layer deposition), CVD (chemical vapor deposition), PVD(physical vapor deposition) 또는 MOCVD(metal-organic CVD) 방법으로 형성되는 것을 특징으로 하는 반도체 메모리 소자의 커패시터 제조 방법.

**【청구항 15】**

제11항에 있어서,

상기 결정화된  $\text{HfO}_2$ 막을 형성하기 위하여 상기 비정질  $\text{HfO}_2$ 막을 질소 함유 가스의 플라즈마 분위기에 노출시키는 것을 특징으로 하는 반도체 메모리 소자의 커패시터 제조 방법.

**【청구항 16】**

제15항에 있어서,

상기 질소 함유 가스는  $\text{NH}_3$ ,  $\text{N}_2\text{O}$  및  $\text{N}_2$  가스로 이루어지는 군에서 선택되는 어느 하나를 포함하는 것을 특징으로 하는 반도체 메모리 소자의 커패시터 제조 방법.

**【청구항 17】**

제15항에 있어서,

상기 플라즈마 분위기는  $250 \sim 450^\circ\text{C}$ 의 온도로 유지되는 것을 특징으로 하는 반도체 메모리 소자의 커패시터 제조 방법.

**【청구항 18】**

제11항에 있어서,

상기 상부 전극은 금속 질화물 또는 귀금속으로 이루어지는 것을 특징으로 하는 반도체 메모리 소자의 커패시터 제조 방법.

**【청구항 19】**

제18항에 있어서,

상기 상부 전극은 TiN, TaN, WN, Ru, Ir 또는 Pt로 이루어지는 것을 특징으로 하는 반도체 메모리 소자의 커패시터 제조 방법.

**【청구항 20】**

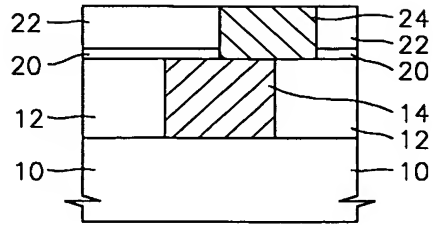
제11항에 있어서,

상기 상부 전극은 할로젠족 원소를 함유하는 금속 소스, 또는 유기금속화합물 소스를 사용하여 형성되는 것을 특징으로 하는 반도체 메모리 소자의 커패시터 제조 방법.

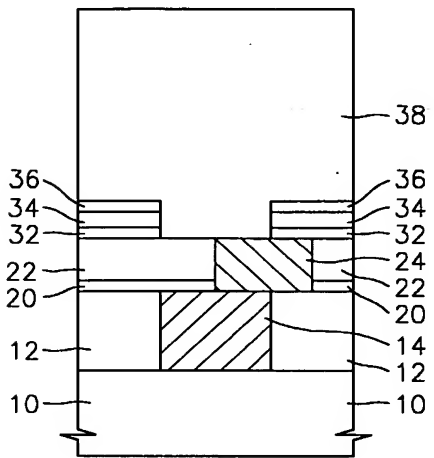


【도면】

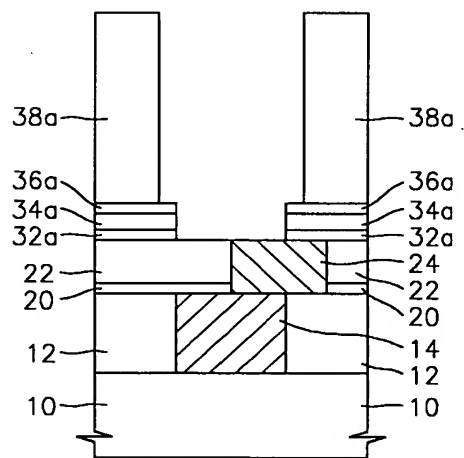
【도 1a】



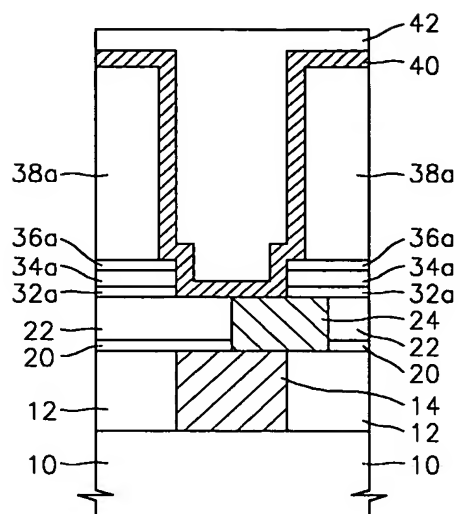
【도 1b】



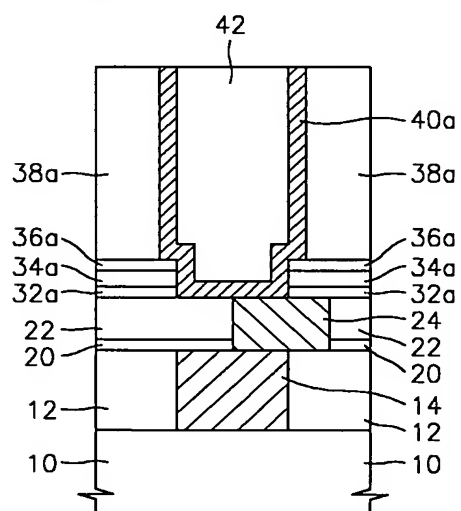
【도 1c】



【도 1d】

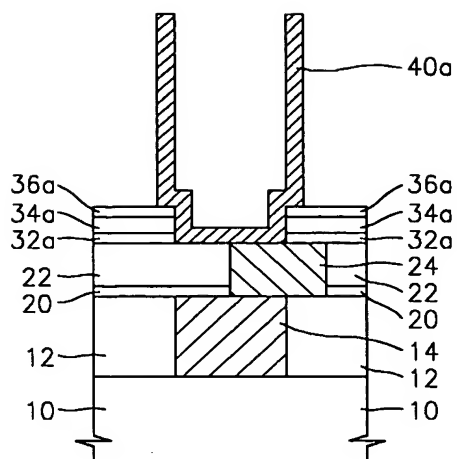


【도 1e】

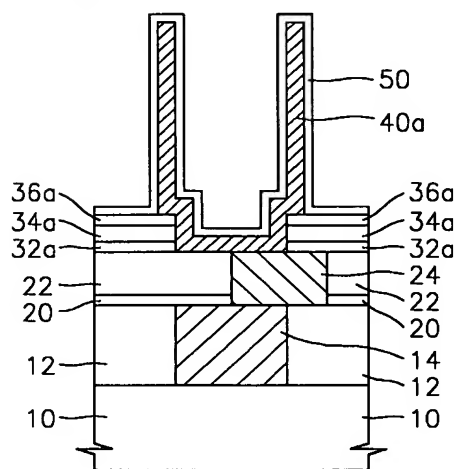




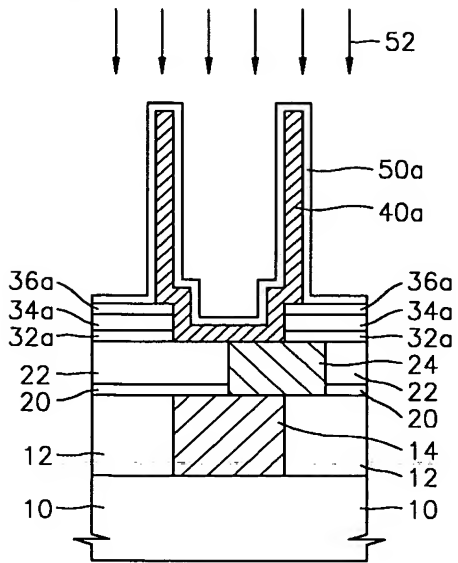
【도 1f】



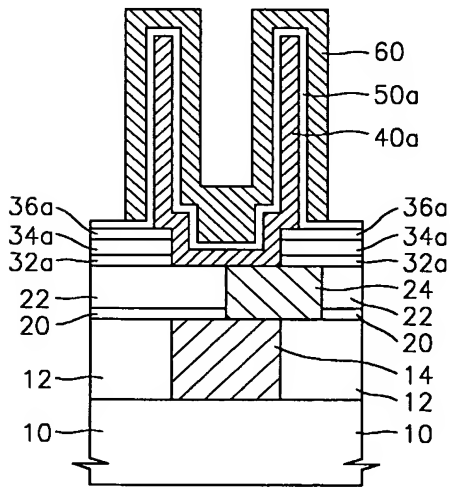
【도 1g】



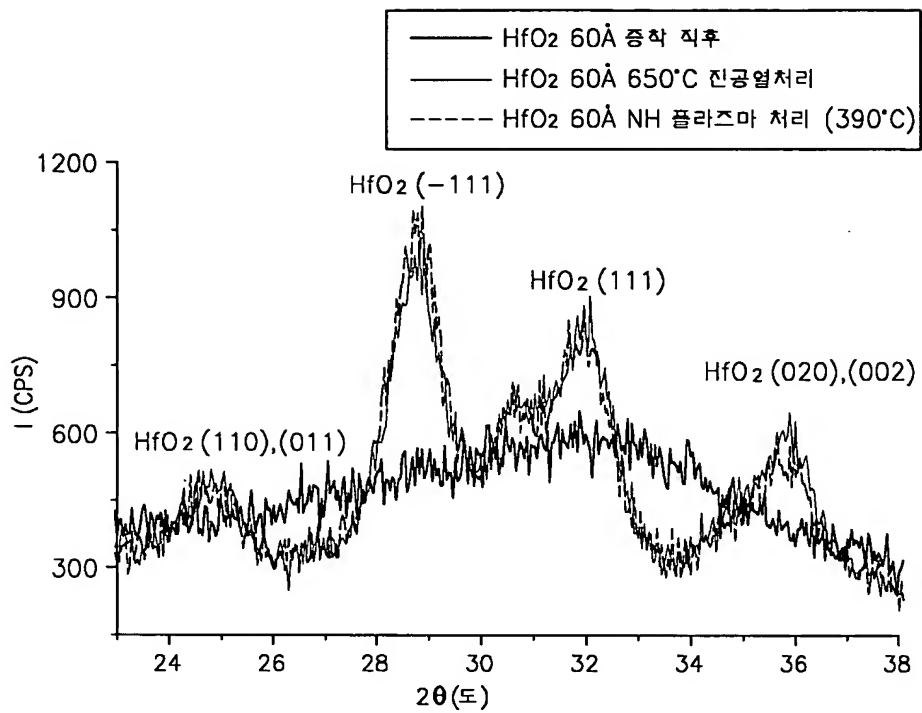
【도 1h】



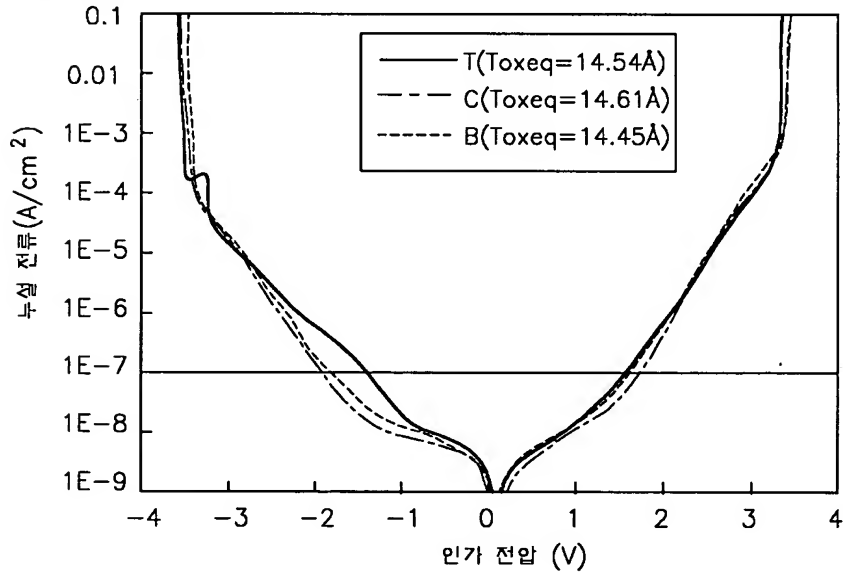
【도 1i】



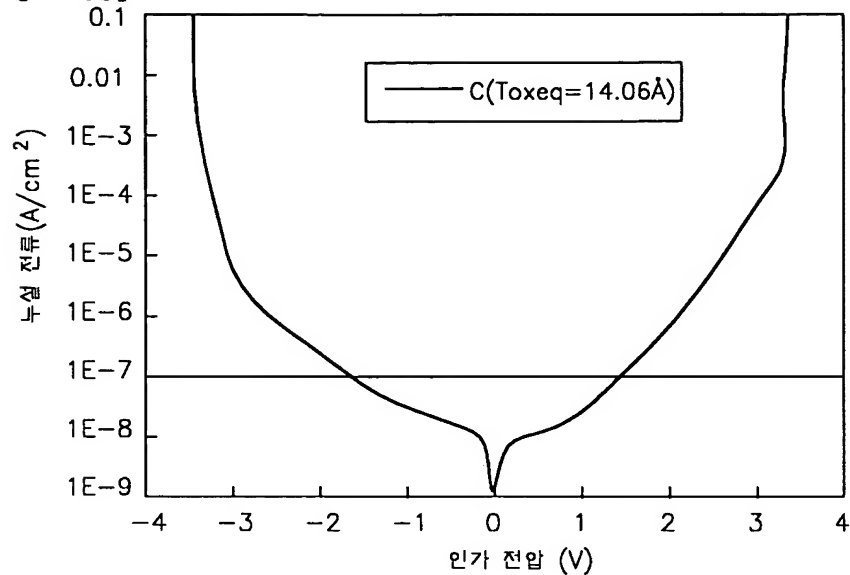
【도 2】



【도 3a】



【도 3b】



【도 3c】

